

TUTORIAL

Desain dan Simulasi Rangkaian Digital dengan OrCAD 9.1

Oleh : Agus Bejo
Program Diploma Teknik Elektro
Fakultas Teknik, Universitas Gadjah Mada

Berikut ini adalah panduan untuk merancang sebuah rangkaian digital beserta cara mensimulasikanya baik secara schematic maupun dalam bahasa pemrograman VHDL dengan menggunakan tools OrCAD 9.1.

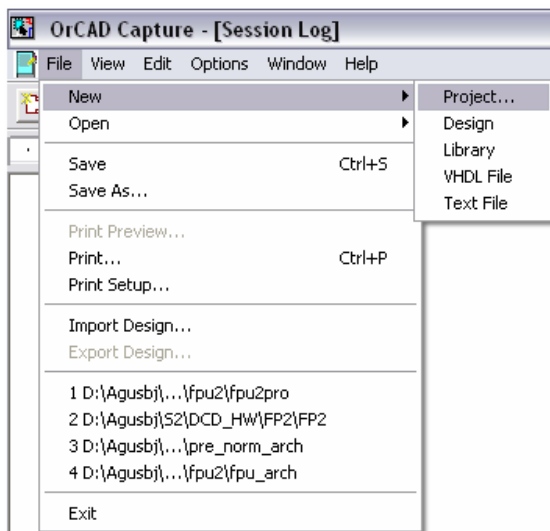
Sebagai contohnya, pada tutorial ini saya akan merancang dan mensimulasikan sebuah rangkaian penjumlah penuh (*Full Adder*). Rangkaian ini cukup sederhana dan mudah untuk dipahami, lihat tabel kebenaran untuk rangkaian *Full Adder* berikut :

Tabel Kebenaran Full Adder :

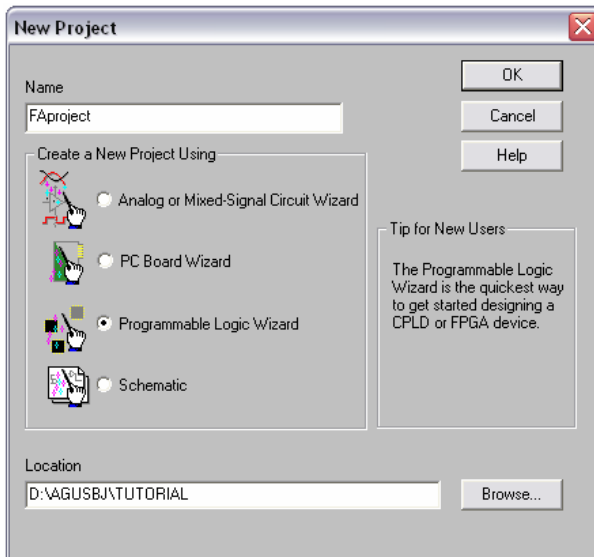
Cin	B	A	Sum	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Desain dan simulasi dengan OrCAD

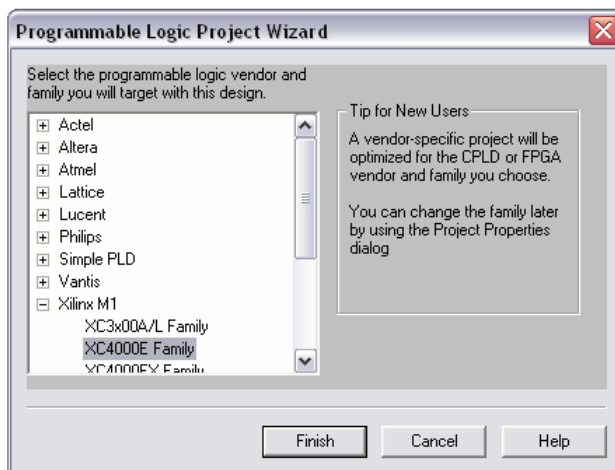
1. Buka dan jalankan program OrCAD melalui **Start → Program → OrCAD Release → Capture CIS** atau klik icon OrCAD di layar desktop anda.
2. Buat project baru **File → New → Project**



- Isikan nama project kita pada kolom Name (contoh **FProject**), pilih jenis project yang akan kita buat (untuk desain rangkaian digital dan simulasi pilih **Programmable Logic Wizard**) dan tentukan direktori tempat file-file project kita akan disimpan pada kolom Location lalu klik **OK**.



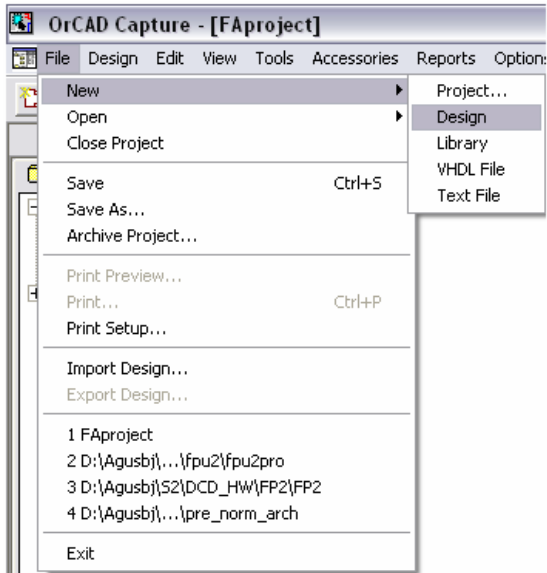
- Tentukan jenis FPGA yang akan kita gunakan (misal kita gunakan Xilinx seri **XC4000E**) kemudian klik **Finish**.



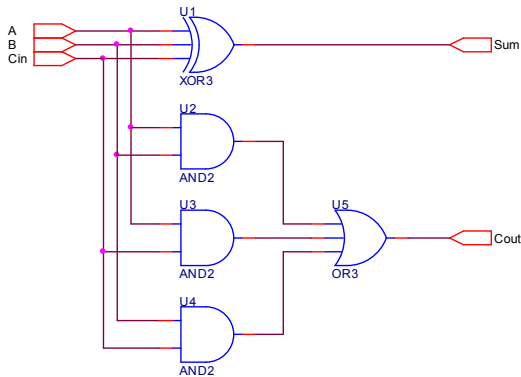
- Nah sekarang anda telah memiliki sebuah file project. Selanjutnya anda harus mengisi file project tersebut dengan file-file desain anda. Untuk mendesain sebuah rangkaian digital anda bisa menggunakan 2 cara yaitu menggunakan schematic atau menggunakan bahasa VHDL.

Cara Pertama : Desain dengan Schematic

- Buat file desain baru **File** → **New** → **Design** maka akan segera muncul layar baru tempat untuk menggambarkan schematic rangkaian yang akan kita buat.

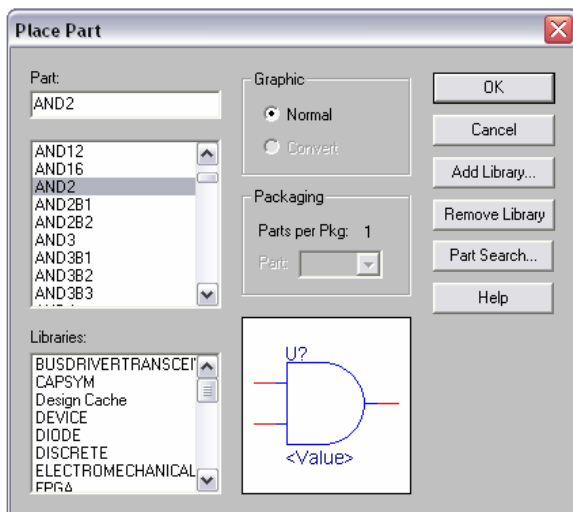


7. Gambarlah schematic rangkaian full adder seperti berikut ini :



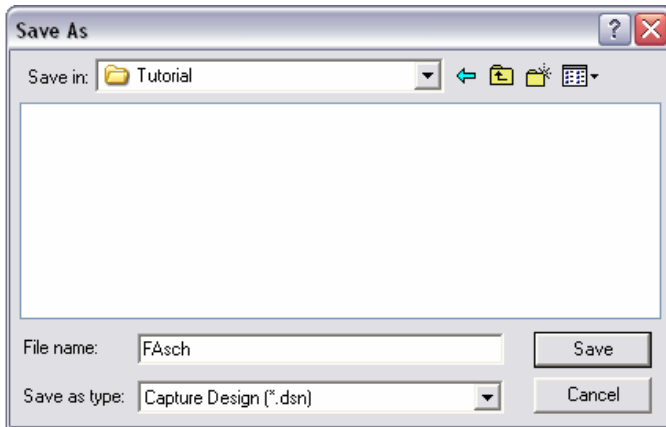
petunjuk :

- untuk menggambar gerbang AND, OR dan XOR diatas gunakan menu **Place** → **Part...** kemudian pilih gerbang yang sesuai. Jika gerbang-gerbang tersebut tidak muncul maka tambahkan library xilinx terlebih dahulu menggunakan **Add Library.....**



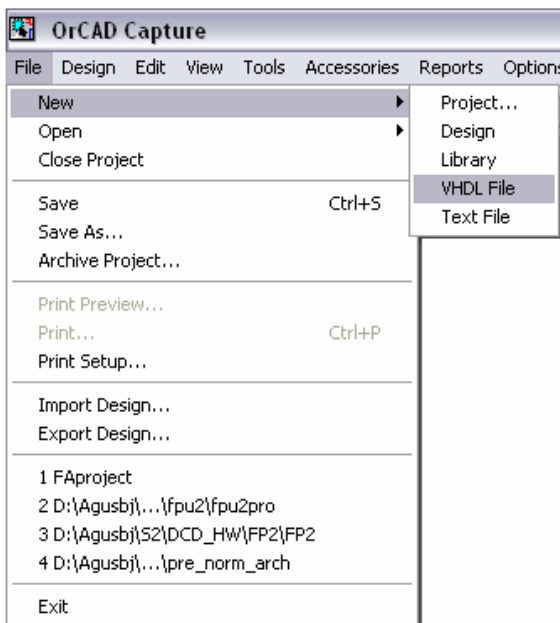
- Untuk menghubungkan satu gerbang dengan gerbang yang lain gunakan menu **Place** → **Wire**
- Untuk menggambar terminal input dan output gunakan menu **Place** → **Hierarchical Port...** kemudian pilih PORTRIGHT-R untuk terminal input dan PORTLEFT-L untuk terminal output. Beri nama yang sesuai dengan cara pilih nama terminal yang dimaksud kemudian **klik kanan** → **Edit properties...**

8. Simpan dan beri nama file schematic desain anda **File** → **Save** (misal dengan nama *FAsch*). Sampai disini anda telah membuat project beserta desainnya dalam bentuk schematic, selanjutnya untuk mensimulasikannya lihat langkah 13.



Cara Kedua : Desain dengan VHDL

9. Buat file desain baru **File** → **New** → **VHDL File** maka akan segera muncul layar baru tempat untuk menuliskan kode program VHDL yang akan kita buat.



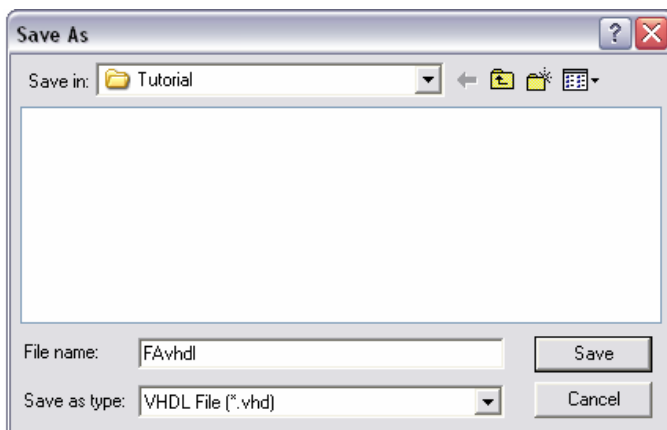
10. Tuliskan kode program berikut :

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

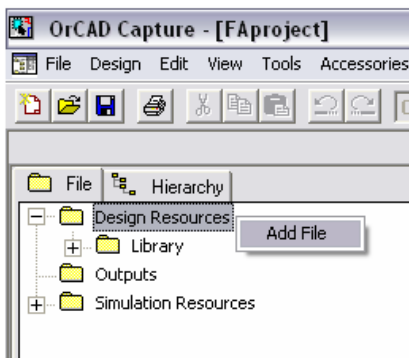
entity FullAdder is
    port (A,B,Cin          : in std_logic;
          Sum,Cout         : out std_logic);
end;

architecture BEHAVIOR of FullAdder is
begin
    Sum <= A XOR B XOR Cin;
    Cout <= (A AND B) OR (A AND Cin) OR (B AND Cin);
end;
```

11. Simpan dan beri nama file kode program diatas **File** → **Save** (misal beri nama **FAvhdl**). Sampai disini anda telah membuat sebuah project beserta desainnya dalam bentuk kode program VHDL.

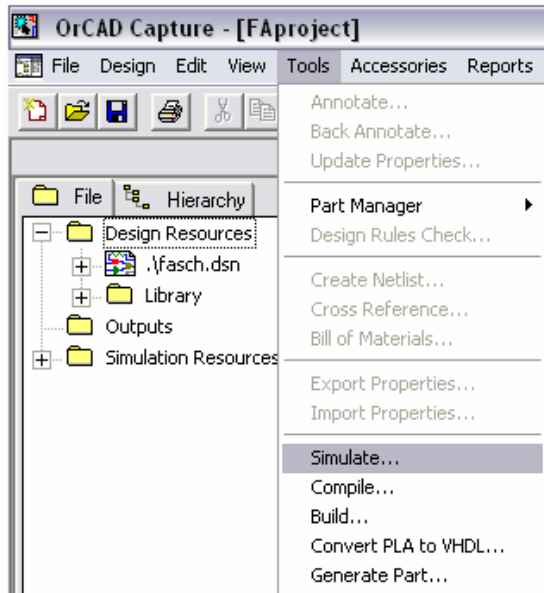


12. Khusus untuk desain menggunakan VHDL, file kode VHDL yang telah kita buat diatas perlu dimasukkan kedalam project terlebih dahulu sebelum disimulasikan. Caranya adalah Klik kanan pada **Design Resources** → **Add File** → Pilih **nama file** kode program VHDL yang telah kita buat diatas.

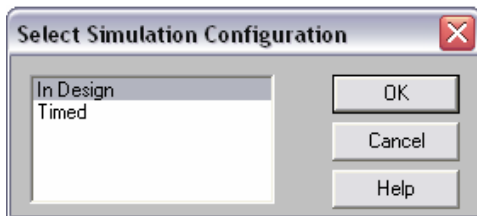


Simulasi :

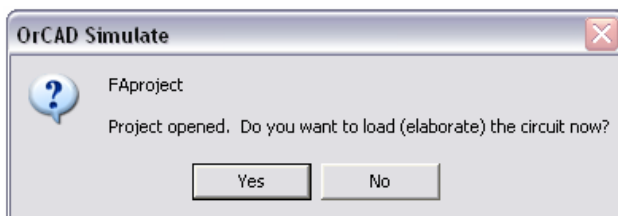
13. Untuk melakukan simulasi gunakan menu **Tools** → **Simulate...**



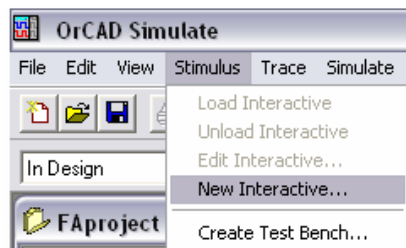
14. Pilih **In Design** untuk simulasi fungsional kemudian klik **OK**



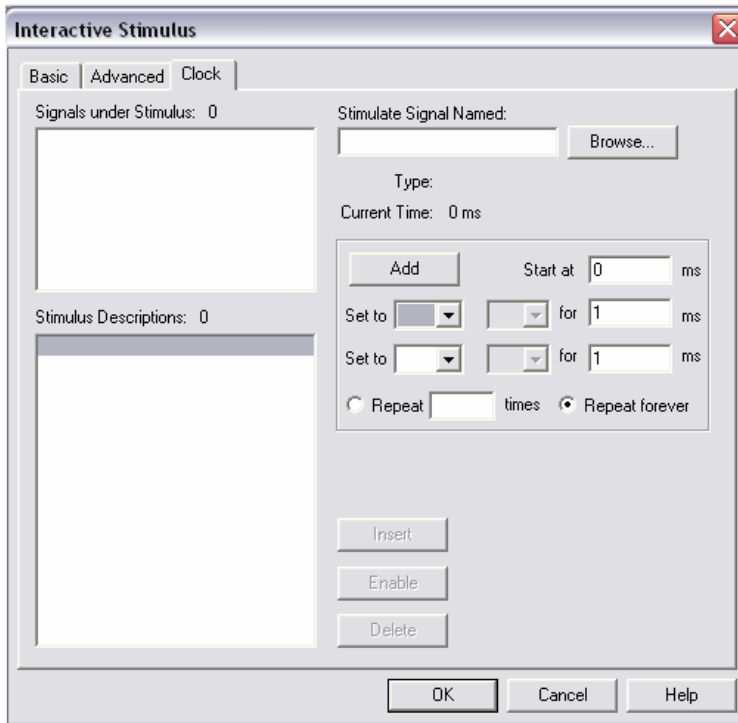
15. Pilih **YES**



16. Buat sinyal input simulasi dengan cara **Stimulus** → **New Interactive...**



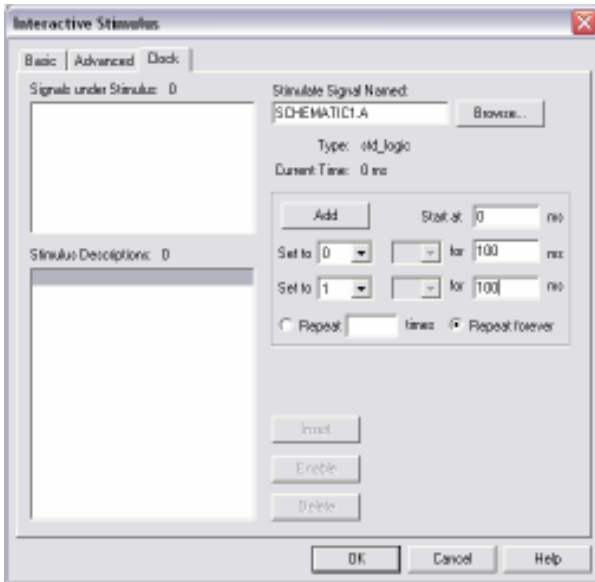
17. Pilih **Tab Clock**. Kemudian tetukan sinyal input yang akan kita definisikan pada kolom Simulate Signal Named: (klik **browse...**)



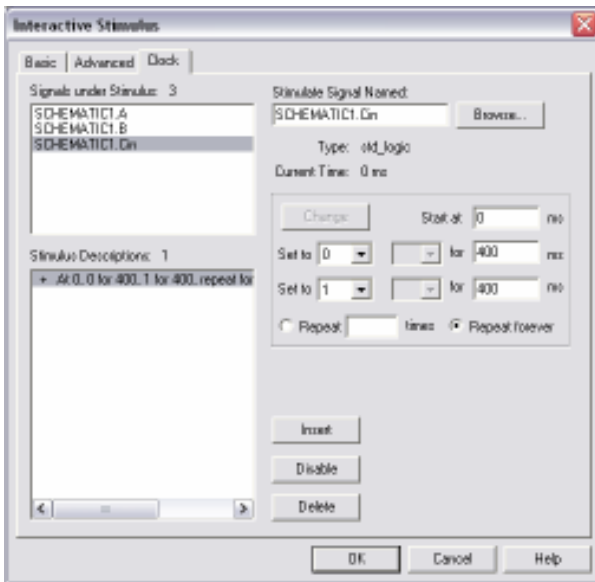
18. Pilih sinyal input A kemudian klik **OK**



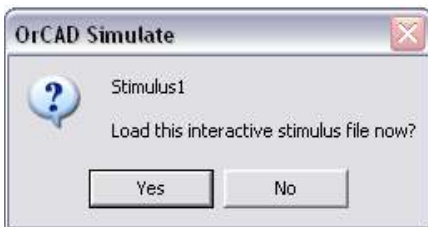
19. Atur agar sinyal input A agar berupa sinyal periodik (clock) dengan ketentuan 100 ns high dan 100 ns low seperti gambar berikut kemudian klik **Add**.



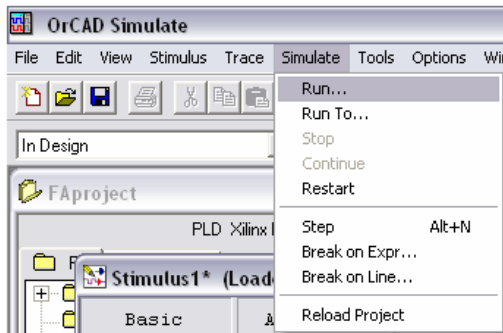
20. Lakukan hal yang serupa untuk sinyal input B dan Cin tetapi dengan ketentuan 200 ns untuk sinyal B dan 400 ns untuk sinyal Cin. Kemudian klik **OK**.



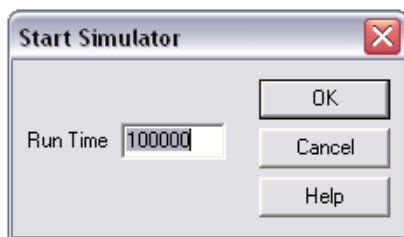
21. Pilih **Yes**.



22. Untuk menjalankan simulasi gunakan menu **Simulate** → **Run...**



23. Isikan batas waktu maksimal untuk simulasi, misal kita isi 100000 ini artinya simulasi akan dijalankan sampai dengan 100000 ns atau 100 ms. Kemudian klik **OK**.



24. Hasil simulasi bisa anda amati pada layar wave. **Window** → **Wave**. Untuk memperbesar dan meperkecil ukuran gunakan zoom in dan zoom out.

25. Berikut adalah hasil simulasinya. Hasil ini telah sesuai dengan tabel kebenaran rangkaian Full Adder diatas.

